

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-131615
(P2003-131615A)

(43) 公開日 平成15年5月9日 (2003.5.9)

(51) Int.Cl. ⁷	識別記号	F I	ページ・ド (参考)
G 0 9 G 3/28		G 0 9 G 3/20	6 4 1 E 5 C 0 5 8
3/20	6 4 1		6 4 1 G 5 C 0 8 0
			6 4 1 K
3/288		H 0 4 N 5/66	1 0 1 A
			1 0 1 B
審査請求 未請求 請求項の数 7 O L (全 24 頁) 最終頁に続く			

(21) 出願番号 特願2001-331745(P2001-331745)

(22) 出願日 平成13年10月30日 (2001. 10. 30)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 森本 隆志

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74) 代理人 100102277

弁理士 佐々木 晴康 (外 2 名)

Fターム(参考) 5C058 AA11 AB01 BA07 BA25 BB03
BB25

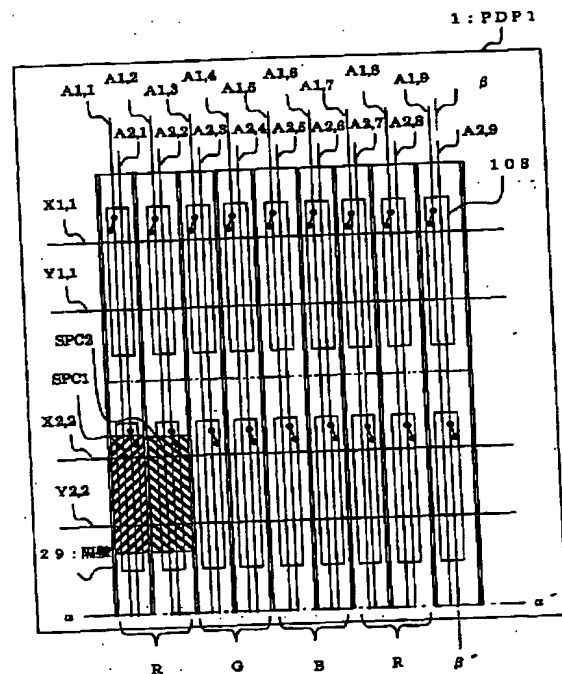
5C080 AA05 BB05 CC03 DD07 EE29
EE30 HH02 HH04 JJ02 JJ04

(54) 【発明の名称】 プラズマディスプレイ装置及びその駆動方法

(57) 【要約】

【課題】 高階調化と高精細化に容易に対応可能なプラズマディスプレイ装置を提供する。

【解決手段】 アドレス電極方向に設けた複数種のサブピクセルが、複数のアドレス電極の内の1つに接続された第2の導電層108により同時に独立してアドレスされる高速スキャン手段と、複数のサブピクセルの点灯数を段階的に制御することにより階調表示を行う階調表示手段と、1フィールドを複数のサブフレームに分割し所望の画素を所望のサブフレームの期間点灯させるフィールド内時分割による階調表示手段とを併用した階調表示手段とを備えた構成のプラズマディスプレイ装置。



【特許請求の範囲】

【請求項 1】 サブピクセルの点灯数を制御することにより階調表示を行い、画素がアドレス電極方向に設けた同色で複数のサブピクセルから構成されてなるプラズマディスプレイ装置において、

各サブピクセル内に複数のアドレス電極を設け、サブピクセルが複数本のアドレス電極の内のいずれかと導通した導電層により、アドレスされることを特徴とするプラズマディスプレイ装置。

【請求項 2】 サブピクセルの点灯数を制御することにより階調表示を行い、画素がアドレス電極方向及び X 電極方向に設けた同色で複数のサブピクセルから構成されてなるプラズマディスプレイ装置において、

各サブピクセル内に複数のアドレス電極を設け、サブピクセルが複数本のアドレス電極の内のいずれかと導通した導電層により、アドレスされることを特徴とするプラズマディスプレイ装置。

【請求項 3】 サブピクセルの点灯数を制御することにより階調表示を行うプラズマディスプレイ装置において、異なる X 電極長で構成された複数種類のサブピクセルで、階調の差を付けることを特徴とするプラズマディスプレイ装置。

【請求項 4】 X 電極方向に設けた隣接する R、G、B のサブピクセルの 1 組を一画素とし、前記画素の 2 つの組み合わせで一画素が構成されるプラズマディスプレイ装置の駆動方法において、R、G、B のサブピクセルの点灯制御方法が、第 1 の画素の第 1 番目の画素の R、G、B のサブピクセルには、前記画素に対応する位置の階調信号が印加され、第 1 の画素の第 2 番目の画素の R、G、B のサブピクセルには、前記第 1 番目の画素の R、G、B のサブピクセルに対応する階調信号と、第 1 の画素に隣接する第 2 の画素の第 1 番目の画素の R、G、B のサブピクセルの階調信号との間で、R、G、B 毎に平均をとった信号が与えられる点灯制御方法であることを特徴とするプラズマディスプレイ装置の駆動方法。

【請求項 5】 サブピクセルの点灯数を制御することにより階調表示を行い、画素がアドレス電極方向に設けた複数のサブピクセルからなるプラズマディスプレイ装置において、

サブピクセル内に 1 本の X 電極と 1 本の Y 電極とを設けたサブピクセルと、サブピクセル内に 2 本の X 電極と 1 本の Y 電極とを設けたサブピクセルとの 2 種の電極構造の異なるサブピクセルで階調の差を設けることを特徴とするプラズマディスプレイ装置。

【請求項 6】 サブピクセルの点灯数を制御することにより階調表示が、X 電極方向に設けたサブピクセルと、アドレス電極方向に設けたサブピクセルとの点灯数を制御することにより行なわれることを特徴とする請求項 1

乃至 3、又は請求項 5 のいずれか一項に記載のプラズマディスプレイ装置。

【請求項 7】 サブピクセルの点灯数を制御することによる階調表示が、1 フィールドを複数のサブフレームに分割し、所望の画素を所望のサブフレームの期間点灯させるフィールド内時分割による階調表示と、複数個のサブピクセルにて構成した画素のサブピクセルの点灯数を制御する階調表示との併用で行なうことを特徴とする請求項 1 乃至 3、又は請求項 5 乃至 6 のいずれか一項に記載のプラズマディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プラズマディスプレイ装置の高階調化手段、高精細化手段及びこれらを用いたプラズマディスプレイ装置に関し、より詳細には、プラズマディスプレイ装置の階調表示手段が、1 フィールドを複数のサブフレームに分割し所望の画素を所望のサブフレームの期間点灯させるフィールド内時分割による階調表示手段と複数のサブピクセルの点灯数を段階的に制御する階調表示手段との併用による高階調化手段と高精細化手段並びにこれらを用いたプラズマディスプレイ表示装置に関する。

【0002】近年、コンピュータディスプレイ、テレビ等においては、表示すべき情報の多様化、大画面化及び高精細化が著しい。従って、これらに用いられるプラズマディスプレイ装置、LCD (Liquid Crystal Display)、エレクトロルミネッセンス、蛍光表示管、発光ダイオード等の表示装置においてもこれらの傾向に対応すべく、表示品質の向上が求められている。

【0003】

【従来の技術】上記の各表示装置のうち、プラズマディスプレイ装置は、ちらつきがない、大画面化が容易、輝度が高い、長寿命等の特徴を有することから、最近特に盛んに開発が行われている。

【0004】プラズマディスプレイ装置には、大別して、表示面を構成する複数の発光セルのうち、発光させるべきセルを選択するため選択放電 (アドレス放電) 及び選択された発光セルにおける発光を維持させるための維持放電を二つの電極を用いて行う 2 電極型プラズマディスプレイ装置と、アドレス放電を第 3 の電極を用いて行い、維持放電は先の二つの電極を用いて行う 3 電極型プラズマディスプレイ装置がある。

【0005】一方、カラー表示が可能なプラズマディスプレイ装置も最近開発が進んでいるが、このようなプラズマディスプレイ装置のうち、階調表示が可能なプラズマディスプレイ装置では、上記の電極間で生じる放電により発生する紫外線によって、各発光セル内に形成された光の 3 原色の内の 1 つの色に対応する発光色を有する蛍光体を励起することにより発光を得ているが、この蛍

光体は放電により紫外線と同時に生じる正電荷であるイオンが衝突することによる衝撃に弱いという欠点がある。

【0006】上記の2電極型プラズマディスプレイ装置では、蛍光体に対して直接イオンが衝突する構造となっているため、蛍光体の寿命を短くしてしまう欠点がある。

【0007】そこで、今日では、蛍光体に対して放電によるイオンが衝突しない構造を有する面放電型の3電極プラズマディスプレイ装置が一般化しつつある。

【0008】上述の面放電型3電極プラズマディスプレイ装置の種類としては、アドレス放電を行うための第3の電極を、維持放電を行うための第1及び第2の電極が配置されている基板上に配置するものと、当該第3の電極を第1及び第2の電極が配置されている基板に対向する他の基板に配置するものとがある。

【0009】また、同一の基板に上記の第1乃至第3の電極を有するプラズマディスプレイ装置の中でも、維持放電を行う二つの電極の上に第3の電極を配置する場合と、当該二つの電極の下に第3の電極を配置する場合とがある。

【0010】更に、蛍光体から発せられる光（可視光）をその蛍光体を透過させて外部に発光させる透過型プラズマディスプレイ装置と、当該発光を蛍光体からの反射光として外部に導く反射型プラズマディスプレイ装置がある。

【0011】ここで、放電を行う発光セルは、隔壁（リブ又はバリアともいう。）によって隣接する発光セルと空間的な結合が断ち切られている。この隔壁構造によりプラズマディスプレイ装置を分類すると、当該隔壁が発光セルを囲むように四方に設けられ、発光セル内に発光に供されるガスを完全に密封するようになっている場合と、一方向のみに設けられ、当該一方向と直交する方向は各電極間のギャップ（距離）を適性化することにより隣接発光セル間の結合が断ち切られている場合とがある。

【0012】ここで、上記の3電極型プラズマディスプレイパネルのうち、従来一般的に用いられている面放電型3電極AC（交流）型プラズマディスプレイ装置について、特開平9-6283号公報を参照し、図10乃至図14を用いて説明する。

【0013】以下の説明では、維持放電を行う二つの電極が平行に配置されている基板に対向する基板に、アドレス放電を行うための第3の電極が、上記二つの電極に垂直な方向に配置されており、更に、上記の隔壁が維持放電を行う第1及び第2の電極に垂直で、アドレス放電を行う第3の電極に平行な方向にのみ配置され、第1及び第2の電極の一部が透明電極で構成されている反射型面放電3電極AC型プラズマディスプレイ装置（以下、単にPDP（Plasma Display Pane

1）という。）について説明する。

【0014】始めに、図10乃至図12を用いて、従来のPDPについてその概略構造を説明する。先ず図10に従来のPDP100の平面図を示す。

【0015】図10において、PDP100は、アドレス放電を行うためのアドレス電極A1乃至AMと、維持放電を行うためのX電極X1乃至XN及びY電極Y1乃至YNとを備えている。ここで、X電極X1乃至XNはそれぞれ共通電極に接続され、Y電極Y1乃至YNはそれぞれに独立とされている。

【0016】また、発光セルCには、光の3原色に対応するそれぞれの色（赤（以下、Rという。）、緑（以下、Gという。）及び青（以下、Bという。））のうちいずれか一色に対応する蛍光体が塗布されており、Y電極Y1乃至YNにアドレス電極方向が隔壁129により区切られている。

【0017】更に、隣接する二つの隔壁129内は、同じ色の蛍光体が塗布され、PDP100全体として、R、G、Bの順にストライプ状の蛍光体を備えている。

【0018】ここで、発光セルCのアドレス電極A1乃至AM方向の分割は、隣接する発光セルC間のX電極とY電極（例えば、X電極XNとY電極YN-1）とのギャップ（距離）を適性化することにより隣接する発光セルC同士の結合が遮断されている。

【0019】上述の構成を有するPDP100においては、アドレス放電はアドレス電極A1乃至AMとY電極Y1乃至YNとの間で行われ、維持放電はそれぞれ対応して隣接するX電極X1乃至XNとY電極Y1乃至YN（X電極X1とY電極Y1、X電極X2とY電極Y2、以下同様）との間で行われる。

【0020】次に、図11に基づいてPDP100の断面構成について説明する。なお、図11においては、図11（a）が第10図における $\alpha-\alpha'$ 断面の一部（アドレス電極A4乃至A6に係る部分）を示し、図11（b）が第10図における $\beta-\beta'$ 断面の一部（Y電極Y1、X電極X2及びY電極Y2に係る部分）を示している。

【0021】図11に示すように、PDP100は反射型PDPであり、アドレス電極A1乃至AM、維持電極としてのX電極X1乃至XN及びY電極Y1乃至YN、発光セルC並びに隔壁129は、背面ガラス基板131と前面ガラス基板106との間に形成されており、図11（a）に示すように、背面側から、PDP100本体としての背面ガラス基板131と、アドレス電極A1乃至AMと、各発光セルCを区分する隔壁129と、各アドレス電極A1乃至AMを覆うように形成されると共に、各発光セルCの対応する発光色（R、G又はB）を有し、アドレス放電及び維持放電により放出される紫外線により励起されて発光する蛍光体Fと、放電面をアドレス放電及び維持放電により放出される正イオンから保

護する保護層としてのMgO層102と、各X電極及び各Y電極間を絶縁すると共に、放電面を形成するガラス等の誘電体層103と、X電極X1乃至XNと、Y電極Y1乃至YNと、表示面を構成する前面ガラス基板106とにより構成されている。

【0022】ここで、隔壁129の頂部と、MgO層102が密着するように背面ガラス基板131と前面ガラス基板106が配置されている。

【0023】また図11(b)に示すように、X電極X1乃至XN及びY電極Y1乃至YNは、それぞれ透明電極105と、バス電極104とにより構成されている。

【0024】ここで、透明電極104は、蛍光体Fからの発光を透過するためにITO(Indium Tin Oxide、酸化インジウムを主成分とする透明の導体膜)により形成され、バス電極104は、電気抵抗による電圧降下を防止するために低抵抗のCu(銅)やCr(クロム)により形成されている。

【0025】上述の構成において、蛍光体Fからの発光は、反射光として透明電極105及び前面ガラス基板106を透過して表示面から放出される。ここで、従来技術のPDP100を用いて表示を行うための表示データにおいては、表示すべきデータにおける1フレームが複数のサブフレーム(画面)で構成され、当該サブフレームは、それぞれ、リセット期間、アドレス期間及び維持放電期間に時分割されている。

【0026】このうち、リセット期間は、PDP100の全ての発光セルCをリセットして不要な帯電を除去するための期間である。また、アドレス期間は、表示すべきデータに基づいて、発光させるべき発光セルCに対応するアドレス電極A1乃至AM及びY電極Y1乃至YNに対してアドレスラインに沿ってアドレスパルス及びスキャンパルスを印加することにより、アドレス放電(選択放電、図11(b)参照)を発生させる期間である。

【0027】更に、維持放電期間は、X電極X1乃至XN及びY電極Y1乃至YNに対して、アドレス放電により発光させた発光セルCを更に発光させるべく維持パルスが印加される期間である。このとき、当該維持パルスにより図11(b)に示す維持放電が生じ、当該発光セルCが発光することとなる。ここで、維持パルスが多いほど当該発光セルにおける輝度が高い(明るい)こととなる。

【0028】次に、図12を用いて、PDP100を備えた従来技術のプラズマディスプレイ装置の構成について説明する。図12に示すプラズマディスプレイ装置200において、アドレス電極A1乃至AMは1本毎にアドレスドライバ111に接続され、そのアドレスドライバ111によってアドレス放電時のアドレスパルスPAW等が印加される。また、Y電極Y1乃至YNは個別にYスキャンドライバ113に接続される。

【0029】Yスキャンドライバ113はY共通ドライ

バ114に接続されており、アドレス放電時のスキャンパルスPAYはYスキャンドライバ113から発生し、維持放電期間における維持パルスPYS等はY共通ドライバ114で発生し、Yスキャンドライバ113を経由してY電極Y1乃至YNに印加される。一方、X電極X1乃至XNはPDP100の全表示ラインに渡って共通に接続され取り出される。

【0030】X共通ドライバ112は、リセット期間における書き込みパルスPXW、維持放電期間における維持パルスPXS等を発生する。これらのドライバは、制御回路110によって制御される。

【0031】制御回路110は、表示データの1フレーム分のデータを記憶するフレームメモリ122を備えた表示データ制御部120及び各ドライバを制御するスキャンドライバ制御部140及び共通ドライバ制御部141を備えたパネル駆動部制御部121により構成されており、外部より入力されるドットクロックCLK、同期信号HSYNC、VSYNC及び表示データに基づき、各ドライバを制御する制御信号を出力する。

【0032】次に、図13に示すタイミングチャート及び図12に基づいて、上記1サブフレームに相当する1サブフレーム期間におけるプラズマディスプレイ装置200の動作について説明する。なお、図13は、1サブフレーム期間における各パルスの発生タイミングを示している。

【0033】図13に示すように、始めにリセット期間(全面書き込み期間と自己消去期間によりなる)において、全てのY電極Y1乃至YNが0Vレベルとされ、更に、全てのX電極X1乃至XNに対して書込パルスPXW(約330V、10μsec)が印加される。

【0034】この書込パルスPXWに同期して、全てのアドレス電極A1乃至AMに対して書込パルスPAWが印加される。この書込パルスPXW及びPAWにより全てのX電極X1乃至XN及びアドレス電極A1乃至AM間(全ての発光セルC)において、それ以前の表示状態に拘らず放電が行われる。そして、書込パルスPXW及びPAWによる放電の後、全てのX電極X1乃至XN及びアドレス電極A1乃至AMが0Vレベルとなり、全ての発光セルCにおいて壁電荷自体の電圧が放電開始電圧を越えて放電が開始される。この放電においては、各電極間の電位差がないため壁電荷が形成されることはなく、空間電荷が自己中和して終了する、いわゆる自己消却放電となる。

【0035】このとき、X電極X1乃至XNにおける書込パルスPXWの印加終了から次のアドレス期間におけるX電極X1乃至XNへの電圧の印加までの期間を自己消去期間TSEとする。

【0036】この自己消却放電によって、全ての発光セルCが壁電荷のない均一な電位状態となり、リセットが行われる。このリセット期間においては、一つ前のサブ

10

20

30

40

50

フレーム期間における点灯状態に拘らず全ての発光セルCが同じ電位状態となるので、リセット期間の次のアドレス期間におけるアドレス放電を安定に行うことができる。

【0037】次に、アドレス期間においては、サブフレームデータに基づいて発光させるべき発光セルCを選択するためのアドレス放電が行われる。このアドレス放電は、発光セル指定放電としてのプライミングアドレス放電と壁電荷蓄積放電としての主アドレス放電とに分けられる。

【0038】すなわち、プライミングアドレス放電は、発光させるべき発光セルCに該当するアドレス電極に対しアドレスパルスPAAが印加され、これと並行して、発光させるべき発光セルCに該当するY電極に対して、Y電極Y1から順に時分割的に（アドレスラインに沿って）スキャンパルスPAYが印加され、このアドレスパルスPAAとスキャンパルスPAYとにより行われる。

【0039】このときのアドレスパルスPAAのタイミングにおいては、図13に示すタイミングチャートが対応するサブフレームに対応する1サブフレームデータで指定される発光セルCに対応するアドレス電極全てに対してアドレスパルスPAAが印加される。

【0040】これによりY電極に対応する発光セルCのうち、必要な発光セルCにおいて同時にプライミングアドレス放電が発生する。その後、この動作が各Y電極に印加されるスキャンパルスPAYのタイミングで当該Y電極に対応する発光セルCにおいて繰返される。

【0041】プライミングアドレス放電及び主アドレス放電についてより具体的に説明すると、先ず、該当するY電極（例えば、Y電極Y1）に $-V_Y$ レベル（約 $-150V$ ）のスキャンパルスPAYが印加され、これと同時にアドレス電極A1乃至AMのうち、発光させる発光セルCに対応するアドレス電極に電圧 V_a （約 $50V$ ）のアドレスパルスPAAが印加される。このとき、全てのX電極X1乃至XNは所定のXアドレス電圧（図13中 V_X で示す。）に維持されている。そして、当該Y電極Y1とアドレス電極A1の間でプライミングアドレス放電が発生し、これをプライミング（種火）として対応するX電極X1とY電極Y1との間で壁電荷蓄積放電としての主アドレス放電が発生する。

【0042】このプライミングアドレス放電及び主アドレス放電により、発光させるべき発光セルCに対応するX電極とY電極（X電極X1とY電極Y1）を覆うMgO膜102（図11符号102参照）上に次の維持放電期間における維持放電が可能な量の壁電荷が蓄積される。

【0043】上述のアドレス放電が、アドレスパルスPAYのタイミングで順次全てのY電極に対して発生し、1サブフレームデータに対応する発光セルCへのデータ書込が行われる。

【0044】最後に、維持放電期間においては、アドレス期間において指定された発光セルCを更に発光させるべく、全てのX電極及びY電極に対して交互に維持パルスPXS及びPYS（約 $180V$ ）が印加され、当該指定された（壁電荷が蓄積された）発光セルCにおいて閾値を越えて維持放電が行われ、当該サブフレームデータに対応する輝度の画像表示が行われる。ここで、上述のように、維持パルスPXS及びPYSの数が多いほど当該サブフレーム期間における発光輝度が高くなる。

10 【0045】次に、上述のPDP100を含むプラズマディスプレイ装置200において多階調表示をする場合について、256階調の階調表示をする場合を例として説明する。

【0046】256階調の階調表示をする場合には、図14に示すように、表示データにおける1フレームは、8つのサブフレーム（SF1乃至SF8）に時分割される。

【0047】そして、各サブフレームは、それぞれにリセット期間、アドレス期間及び維持放電期間を備えており、リセット期間とアドレス期間は、それぞれ同一の長さとなる。また、維持放電期間の長さは1:2:4:8:16:32:64:128の比率となる。従って、点灯させるサブフレームを選択することで、0から255までの256階調の輝度の違いを表示できる。

【0048】より具体的には、例えば、7/256階調を表示する場合には、7（階調）=1（階調）+2（階調）+4（階調）であるので、サブフレーム1乃至サブフレーム3に相当する時間のみ発光するように設定され、他のサブフレームにおいては発光が行われない。また、例えば、20/256階調を表示する場合には、同様に、20（階調）=16（階調）+4（階調）であるので、サブフレーム3及びサブフレーム5に相当する時間のみ発光するように設定される。そして、各サブフレームにおいては、維持放電期間の長短、つまり、維持パルスの数によって、当該サブフレームに対応する輝度が決定される。

【0049】また、1フレームにおける実際の時間配分の一例は以下になる。例えば、画面の書き換えを60Hzとすると、1フレームは $16.6ms$ （ $1/60Hz$ ）となる。1フレーム内の維持放電サイクル（サステインサイクルともいう。）の回数を510回とすると、各サブフレームの維持放電サイクルの回数は、SF1が2サイクル、SF2が4サイクル、SF3が8サイクル、SF4が16サイクル、SF5が32サイクル、SF6が64サイクル、SF7が128サイクル、SF8が256サイクルとなる。

【0050】サステインサイクルの時間を $8\mu s$ とすると、1フレームでの合計は、 $4.08ms$ となる。残りの約 $12ms$ の中に8回のリセット期間とアドレス期間が割り当てられる。ここで、各サブフレームのリセット

期間は $50\mu\text{s}$ である。さらに、アドレスサイクル（1ライン当たりのスキャン）に必要な時間は $3\mu\text{s}$ であるから、垂直方向に480ライン表示ライン（Y電極）を持つPDP100の場合には、 1.44ms （ 3×480 ）の時間を必要とする。

【0051】よって、256階調を1フレーム（サブフレーム1乃至サブフレーム8）の表示データにより表示するためには、合計約 16ms のリセット期間とアドレス期間と維持放電期間が必要となる。

【0052】表示データにおける1フレームを、複数のサブフレームに時分割する階調表示手段と、単位画素を複数の画素で構成する階調表示手段とを、組み合わせて用いる高階調化する方法が、特開2000-66637号公報に示されているので、次に説明する。

【0053】この発明においては、一画素を構成するR、G、Bの最小単位画素を、それぞれ複数の画素で構成する。この場合、単位画素を2画素、3画素、あるいはそれ以上の多数の画素で構成することができるが、最小単位画素を多数の画素で構成する場合、画素の縮小化に限界があるため、必然的に解像度が低下する。したがって、単位画素は2画素程度で構成することが望ましい。

【0054】例えば、単位画素を2画素で構成した場合、フィールド内時分割駆動法を用いないとすると、階調は、「両方の画素を点灯する（明明）」、「一方の画素のみ点灯する（明）」、「両方の画素を消灯する（暗）」の3階調とすることができる。

【0055】一方、従来においては、通常、R、G、Bの最小単位画素は、それぞれ1画素で構成されているため、フィールド内時分割駆動法を用いないとすると、階調は、「画素を点灯する（明）」、「画素を消灯する（暗）」の2階調しかとれない。

【0056】このように、特開2000-66637号公報の発明においては、単位画素の点灯数を段階的に制御することにより、従来よりも多くの階調を表示することができる。

【0057】上記階調表示方法は、1フィールドを複数のサブフレームに分割し所望の画素を所望のサブフレームの期間点灯させるフィールド内時分割による階調表示と組み合わせて用いることができる。

【0058】以下、図面を参照して、この発明を詳述する。

【0059】図6は該発明に係るプラズマディスプレイ装置の構成図である。プラズマディスプレイ装置100は、マトリクス形式のカラー表示デバイスであるAC型のPDP100と、画面（スクリーン）SCを構成する縦横に並んだ発光セルCを選択的に点灯させるための駆動ユニット85とから構成されている。

【0060】PDP1は、対をなす第1及び第2の主放電用電極としてのX電極X2N-1、Y電極Y2N-1

とX電極X2N、Y電極Y2Nが2対平行配置され、各セルCにおいてX電極X2N-1、Y電極Y2N-1と第3の電極としてのアドレス電極AMとが交差する3電極面放電構造のPDPであり、各単位画素は2画素から構成されている。

【0061】X電極X2N-1、Y電極Y2N-1とX電極X2N、Y電極Y2Nは画面の行方向（水平方向）に延び、一方のY電極Y2N-1、Y2Nはアドレス期間に際して行単位に発光セルCを選択するためのスキャン電極として用いられる。アドレス電極AMは列方向（垂直方向）に延びており、列単位に発光セルCを選択するためのデータ電極として用いられる。X電極XN群、Y電極YN群とアドレス電極AM群が交差する領域が表示領域、すなわち画面SCである。

【0062】駆動ユニット85は、コントローラ110、フレームメモリ122、データ処理回路120、サブフィールドメモリ124、電源回路46、Xドライバ112、Yドライバ113、及びアドレスドライバ111を有している。駆動ユニット85には、TVチューナ、コンピュータなどの外部装置からR、G、Bの各色の輝度レベル（階調レベル）を示す画素単位のフィールドデータが各種の同期信号とともに入力される。

【0063】フィールドデータは、フレームメモリ122に一旦格納された後、データ処理回路120へ送られる。データ処理回路120は、階調表示を行うために1フィールドを所定数のサブフレームに分割し、その内の点灯させるサブフレームの組合せを設定するデータ変換手段であり、フィールドデータに応じたサブフレームデータDATA_{s f}を出力する。サブフレームデータDATA_{s f}はサブフィールドメモリ124に格納される。サブフレームデータDATA_{s f}の各ビットの値は、サブフレームにおけるセルの点灯の可否を示す情報、厳密にはアドレス放電の可否を示す情報である。

【0064】Xドライバ112はX電極XN群に駆動電圧を印加し、Yドライバ113はY電極YN群に駆動電圧を印加する。アドレスドライバ111は、サブフレームデータDATA_{s f}に応じてアドレス電極AMに駆動電圧を印加する。これらドライバには電源回路46から所定の電力が供給される。

【0065】図5は、上記PDP100の内部構造を示す斜視図である。PDP100は、前面側のガラス基板106の内面に、行L毎に二対ずつX電極X2N-1、Y電極Y2N-1とX電極X2N、Y電極Y2Nが配列されている。行Lは画面における水平方向のセル列である。X電極X、Y電極Yは、それぞれがITOからなる透明導電膜105とCr-Cu-Crからなる金属膜（バスタード）104で形成され、低融点ガラスからなる厚さ $30\mu\text{m}$ 程度の誘電体層103で被覆されている。

【0066】誘電体層103の表面にはマグネシア（MgO）からなる厚さ数千オングストロームの保護膜10

2が設けられている。アドレス電極Aは、背面側のガラス基板131の内面を覆う下地層132の上に配列されており、厚さ10 μ m程度の誘電体層134によって被覆されている。

【0067】誘電体層134の上には、高さ150 μ mの平面視直線帯状の隔壁129が、各アドレス電極Aの間に1つずつ設けられている。これらの隔壁129によって放電空間135が行方向にサブピクセル（単位発光領域）毎に区画され、且つ放電空間135の間隙寸法が規定されている。

【0068】そして、アドレス電極Aの上方及び隔壁129の側面を含めて背面側の内面を被覆するように、カラー表示のためのR、G、Bの3色の蛍光体層128R、128G、128Bが設けられている。3色の配置パターンは、1列のセルの発光色が同一で且つ隣接する列どうしの発光色が異なるストライプパターンである。

【0069】なお、隔壁形成に際しては、コントラストを高めるために頂上部を暗色に着色し、他の部分を白色に着色して可視光の反射率を高めるのが望ましい。着色は材料のガラスペーストに所定色の顔料を添加することにより行う。

【0070】放電空間135には主成分のネオンにキセノンを混合した放電ガスが充填されており（封入圧力は500 Torr）、蛍光体層128R、128G、128Bは放電時にキセノンが放つ紫外線によって局部的に励起されて発光する。表示の1ピクセル（画素）は行方向に並ぶ3個のサブピクセルの2行分の集合で構成される。各サブピクセル内の構造体が発光セル（表示素子）Cである。隔壁129の配置パターンがストライプパターンであることから、放電空間135のうちの各列に対応した部分は全ての行Lに跨って列方向に連続している。

【0071】そのため、隣接する行Lどうしの電極間隙（逆スリットと称されている）の寸法は各行Lの面放電ギャップ（例えば80～140 μ mの範囲内の値）より十分に大きく、列方向の放電結合を防ぐことのできる値（例えば200～500 μ mの範囲内の値）に選定されている。

【0072】なお、逆スリットには非発光の白っぽい蛍光体層を隠す目的で、ガラス基板106の外側又は内側面に図示しない遮光膜が設けられる。

【0073】図4はPDPの詳細構成を示す説明図である。この図に示すように、一単位画素は、横方向においては、R、G、Bの3色の蛍光体層128R、128G、128Bで構成し、縦方向においては、第1の電極対X1、Y1と、第2の電極対X2、Y2との2対の電極対で構成する。したがって、一単位画素は、2つのRサブピクセル、2つのGサブピクセル、2つのBサブピクセルからなる6個のサブピクセルで構成される。

【0074】なお、ここでは2本の表示電極対の例を示

したが、1単位画素を3本、4本、あるいはそれ以上の本数の表示電極対で構成することもできる。

【0075】また、この電極配置では、個々の放電を小さくできるため、従来の1本の表示電極対で表示する構成のPDPよりも、発光効率が高くなる。

【0076】図7は各R、G、Bの2つのサブピクセルにおける点灯状態を示す説明図であり、この図に示すように、各R、G、Bの2つのサブピクセルについては、2セルを点灯させる場合（輝度レベル2）（図7（a）参照）、1セルを点灯させる場合（輝度レベル1）（図7（b）参照）、点灯させない場合（輝度レベル0）（図7（c）参照）の3段階の輝度レベルを設定することができる。

【0077】このように、3段階の輝度レベルを設定することができるので、従来の単位画素をR、G、Bの3個のサブピクセルで構成したPDPでフィールド内時分割駆動を行う場合と比較して、多くの階調レベルで表示を行うことができる。

【0078】すなわち、従来のフィールド内時分割駆動では、1フィールドを複数のサブフレームに分割し、各サブフレームに相対比1：2：4：8：16……の重み付けをし、これにより、サブフレーム数がnのときには、2ⁿ段階の階調数を得るようにしている。

【0079】一方、本PDPのフィールド内時分割駆動では、1フィールドを複数のサブフレームに分割し、各サブフレームに相対比1：3：9：27：81……の重み付けをし、これにより、サブフレーム数がnのときには、3ⁿ段階の階調数を得る。

【0080】例えば、1フィールドを4サブフレームに分割した場合には81階調、5サブフレームに分割した場合には243階調、6サブフレームに分割した場合には729階調でそれぞれ表示を行うことができる。

【0081】その場合、ディザ法を適用した場合と同様の効果が生じるのであるが、ディザ法を使用した場合、複数の画素で階調表示を行うため、画面の解像度が低下する不具合があるが、本発明では、1画素内で行うため、画面の解像度の低下はない。

【0082】放電電極の数が増加した場合、従来の単位画素をR、G、Bの3個のサブピクセルで構成したPDPと比較して、1サブフィールドの書き込み時間が長くなる。

【0083】したがって、フィールド内時分割駆動を行う場合には、サブフレーム数を従来よりも少なくしなければならず、階調数が少なくなってしまうが、本発明では、サブフレーム数を少なくしても、画素内での階調表示により、階調数は減少することがない。また、点灯点の密度が高くなるため、画像の空間周波数が増加し、見かけ上の画質の向上にも貢献できる。

【0084】なお、説明では、1画素を2本の表示電極対で構成した例を示したが、上述したように、1単位画

素を3本、4本、あるいはそれ以上の本数の表示電極対で構成することも可能である。

【0085】

【発明が解決しようとする課題】しかしながら、特開平9-6283号公報に開示されている、垂直方向に480ラインの表示ライン(Y電極)を持つVGA規格のプラズマディスプレイ装置においてさえ、256階調が高階調表現の限界となっている。

【0086】一方、プラズマディスプレイ装置には、大画面化と高精細化の期待が大きい。

【0087】特開平11-133912号公報に、表示画面を上側の表示画面と下側の表示画面とに分割して、これらの上側の表示画面と下側の表示画面とを、2つの独立した走査パルス発生手段を用いて、同時に走査することにより、高階調化と高精細化に対応できるプラズマディスプレイ装置が示されている。

【0088】しかし、この方法によるプラズマディスプレイ装置は、表示画面を上側の表示画面と下側の表示画面とに分割しているため、分割された上側陽極駆動部と下側陽極駆動部とに印加される電圧に誤差を生じさせる。よって上側の表示画面と下側の表示画面の階調を表示する放電電流に差が生じるので、表示画面の分割部に筋状の階調不均一部が現れるという問題点があった。

$$\text{リセット期間} = 0.25 \text{ ms} \quad \dots (1)$$

$$\text{アドレスサイクル期間} = 14.4 \text{ ms} \quad \dots (2)$$

$$\text{サステインサイクル期間} = 1.94 \text{ ms} \quad \dots (3)$$

$$243 \text{ 階調表示に必要な } 1 \text{ フレーム期間} = 16.59 \text{ ms} \quad \dots (4)$$

(4)式より、列方向に480個の画素があるプラズマディスプレイ装置で、243階調表示が限界であり、従来の技術に比較し、高精細化、高階調化が図られていない。

【0093】一方、単位画素が、垂直方向に480ラインの表示ラインを持つVGA規格の映像信号データを、縦方向のR、G、Bの各画素を2つのサブピクセルより

$$\text{リセット期間} = 0.3 \text{ ms} \quad \dots (5)$$

$$\text{アドレスサイクル期間} = 17.28 \text{ ms} \quad \dots (6)$$

$$\text{サステインサイクル期間} = 5.82 \text{ ms} \quad \dots (7)$$

$$729 \text{ 階調表示に必要な } 1 \text{ フレーム期間} = 23.40 \text{ ms} \quad \dots (8)$$

729階調表示に必要な1フレーム期間は、23.40msとなり、映像信号の規格である1フィールド期間(約16.6ms)を超えてしまうという問題がある。

【0095】つまり、特開2000-66637号公報に開示された階調表示手段は、PDPの高精細化と高階調化に対する解に成っていないのであり、従来技術と同一レベルか、それ以下の階調化と精細化にしか対応できない。

【0096】本発明は、上記の各問題点に鑑みて成されたものであり、発明の目的は、高階調化と高精細化が両立して可能なプラズマディスプレイ装置を提供することにある。

【0089】一方、特開2000-66637号公報に開示された階調表示手段は、列方向に複数個(k個)のサブピクセルを設けるので、列方向の全サブピクセルを走査するのに必要な走査線数が、N(本)×k(サブピクセル数)とk倍に増加し、総アドレス期間が長くなり、高精細化と高階調化に限界が存在した。

【0090】画素が、垂直方向に480ラインの表示ラインを持つVGA規格の映像信号データを、列方向のR、G、Bの各画素を2つのサブピクセルより構成して、3階調の階調表示手段とし、かつ、1フレームを、5サブフレームから構成し、各サブフレームの重み付けの相対比が1:3:9:27:81でのフィールド内時分割による階調表示手段と併用し、合計243の階調を表示する場合を考える。

【0091】1サステインサイクル期間: 8μs/1回

1階調のサステインサイクル: 2サイクル

リセット期間: 50μs/1回

アドレスサイクル期間: 3μs/1回

以上の設定のもとで、1フレームのVGA規格の映像信号データを8ビット階調表示するのに必要な総期間を求めると以下の(4)式となる。

【0092】

構成して、3階調の階調表示手段とし、かつ、1フレームを、6サブフレームから構成し、各サブフレームの重み付けの相対比が1:3:9:27:81:243でのフィールド内時分割による階調表示手段と併用し、合計729の階調を表示する場合を考える。

【0094】

$$\text{リセット期間} = 0.3 \text{ ms} \quad \dots (5)$$

$$\text{アドレスサイクル期間} = 17.28 \text{ ms} \quad \dots (6)$$

$$\text{サステインサイクル期間} = 5.82 \text{ ms} \quad \dots (7)$$

$$729 \text{ 階調表示に必要な } 1 \text{ フレーム期間} = 23.40 \text{ ms} \quad \dots (8)$$

【0097】

【課題を解決するための手段】高階調化と高精細化の課題を解決するために、本発明は、サブピクセルの点灯数を段階的に制御することにより階調表示を行い、画素が列方向に設けた複数のサブピクセルからなるプラズマディスプレイ装置において、各サブピクセル内に複数のアドレス電極を設け、複数種のサブピクセルが複数のアドレス電極の内の1つに接続された第2の導電層108により、アドレスされることを特徴とするプラズマディスプレイ装置を備えて構成される。

【0098】本発明は、各サブピクセル内に複数のアドレス電極を設け、複数種のサブピクセルが複数のアドレ

ス電極の内の 1 つに接続された第 2 の導電層により、アドレスされるプラズマディスプレイ装置において、さらに、1 画素を構成する R、G、B の画素を、X 電極方向に設けた、複数個の同色のサブピクセルで構成し、これら複数のサブピクセルの点灯数を段階的に制御することにより階調表示を行う手段を備えたことを特徴とするプラズマディスプレイ装置を備えて構成される。

【0099】本発明は、サブピクセルの点灯数を段階的に制御することにより階調表示を行うプラズマディスプレイ装置において、サブピクセルが重みを持った複数種類のサブピクセルより構成されてなり、サブピクセルに複数種類の重みを付ける手段が、サブピクセル内の X 電極長 (Y 電極長) の異なる複数のサブピクセルを設けることよりなるプラズマディスプレイ装置を備えて構成される。

【0100】本発明は、水平方向に設けた隣接する R、G、B の 1 組をサブピクセルとして、複数組のサブピクセルで 1 単位画素を構成し、階調表示を行うことを特徴とするプラズマディスプレイ装置を備えて構成される。

【0101】本発明は、水平方向に設けた隣接する R、G、B の 1 組をサブピクセルとして、複数組のサブピクセルで 1 画素が構成され、複数のサブピクセルの点灯数制御方法が、各々の画素の第 1 番目のサブピクセルには、画素に対応する位置の映像信号に対応する信号が印加され、第 2 番目以降のサブピクセルには、第 1 番目のサブピクセルに対応する映像信号と、次の単位画素に対応する映像信号とを、サブピクセルの設けられた位置を加味した、R、G、B 独立の、相関をとった信号が与えられる点灯数制御方法であることを特徴とするプラズマディスプレイ装置の駆動方法を備えて構成される。

【0102】本発明は、サブピクセルの点灯数を段階的に制御することにより階調表示を行い、画素がアドレス電極方向に設けた複数のサブピクセルからなるプラズマディスプレイ装置において、画素が、重みを持った複数種類のサブピクセルより構成されてなり、重みを持った複数種類のサブピクセル構成手段が、サブピクセル内に 1 本の X 電極と 1 本の Y 電極を設けたサブピクセルと、サブピクセル内に 2 本の X 電極と 1 本の Y 電極を設けたサブピクセルとの複数種のサブピクセルを設けたことによることを特徴とするプラズマディスプレイ装置を備えて構成される。

【0103】本発明は、階調表示手段が、水平方向に設けたサブピクセルと垂直方向に設けたサブピクセルの点灯数を段階的に制御する手段で構成される。

【0104】本発明は、階調表示手段が 1 フィールドを複数のサブフレームに分割し所望の画素を所望のサブフレームの期間点灯させるフィールド内時分割による階調表示手段と、複数個のサブピクセルにて構成した単位画素のサブピクセルの点灯数制御法による階調表示手段との併用する手段で構成される。

【0105】以下、上記構成による作用を説明する。

【0106】本発明の作用を説明するために、単位画素数が X 電極方向に 680 画素 × 3 (R、G、B) あり、アドレス電極方向に 480 画素あり、階調表示手段が 8 ビットのフィールド内時分割による階調表示手段を有するプラズマディスプレイ装置をリファレンスとして使用する。

【0107】1 サステインサイクル期間: $8 \mu s / 1$ 回。1 階調のサステインサイクル: 2 サイクル。リセット期間: $50 \mu s / 1$ 回。アドレスサイクル期間: $3 \mu s / 1$ 回とすると、リファレンスのプラズマディスプレイ装置が 1 フィールドの全画素の階調表示のために必要とする時間: 1 フレーム期間は、約 16 ms である。

【0108】以下、本発明のプラズマディスプレイ装置の構成による作用を説明する。

【0109】本発明によれば、サブピクセルの点灯数を段階的に制御することにより階調表示を行い、最小単位画素が列方向に設けた複数のサブピクセルからなるプラズマディスプレイ装置において、各サブピクセル内に複数のアドレス電極を設け、複数種のサブピクセルが複数のアドレス電極の内の 1 つに接続された第 2 の導電層により、アドレスされることを特徴とするプラズマディスプレイ装置を備えて構成される。

【0110】なお、本発明において、サブピクセルとは、一般的には、画素を構成する要素セルのことである。所で、請求項 1 のサブピクセルは、アドレス電極方向に、複数種の内の 1 つのアドレス電極に接続された、複数種の構成を有する第 2 の導電層を有しており、それらの複数のサブピクセルを各々画素として扱い、画素に対応する X 電極方向の位置の映像信号に対応する映像信号を印加しても良い。

【0111】しかし、複数種の単位画素と呼ばず、複数種のサブピクセルと呼称する。

【0112】よって、本発明によれば、複数ラインに対して、同時アドレスが可能となり、1 走査線当りのアドレス時間が短縮され、垂直方向の画素の高精細化や垂直方向のサブピクセルの点灯数を制御した高階調表示が可能となる。

【0113】本発明によれば、1 絵素を構成する R、G、B の最小単位画素を、水平方向に設けた、複数個の同色のサブピクセルで構成し、これら複数のサブピクセルの点灯数を段階的に制御することにより階調表示を行うことを特徴とするプラズマディスプレイ装置を備えて構成される。

【0114】まず説明の簡単化のために、請求項 1 に記載の部分を除いた、水平方向に設けた 2 個のサブピクセルにより、単位画素が構成されるプラズマディスプレイ装置を考える。

【0115】今、サブピクセルがすべて同量の階調表示量を持っているとすると、2 つのサブピクセルの点灯数

を制御することにより、3つの階調を表示できる。階調表示手段が7ビットのフィールド内時分割による階調表示手段と組み合わせると、合計384階調を表示できる。

【0116】この階調表示に必要な1フレーム期間は、13.36msであり、384階調表示を維持して、垂直走査線数を480本の約1.3倍本まで増設可能である。

【0117】よって、本発明によれば、垂直方向にも、水平方向にも、任意に、高精細化と高階調化が可能となる。

【0118】本発明によれば、サブピクセルの点灯数を段階的に制御することにより階調表示を行うプラズマディスプレイ装置において、サブピクセルが重みを持った複数種類のサブピクセルより構成されてなり、サブピクセルに複数種の重みを付ける手段が、サブピクセル内のX電極長の異なる複数のサブピクセルを設ける手段で構成される。

【0119】今、単位画素が、1の重みを持ったサブピクセル（SPC1）と、2の重みを持ったサブピクセル（SPC2）との、2つのサブピクセルから構成されているとすると、単位画素が、サブピクセルの点灯数を制御して表示される階調数は4階調となる。階調表示手段を7ビットのフィールド内時分割による階調表示手段と組み合わせると、合計512階調を表示できる。

【0120】一方、垂直走査線数をリファレンスのプラズマディスプレイ装置の480本の約1.3倍本まで増設可能であり、高階調化と高精細化に対応するプラズマディスプレイ装置を提供することが可能となる。

【0121】なお、本発明によれば、サブピクセルの点灯数を段階的に制御することにより階調表示を行うプラズマディスプレイ装置において、サブピクセルに重みを付ける手段が、サブピクセル内のX電極長の異なる複数のサブピクセルを設けることにより構成されるので、従来重複して設けていた隔壁を省略でき、単位画素を小さい画素サイズでもって形成することが可能となる。

【0122】本発明によれば、プラズマディスプレイ装置は、水平方向に設けた隣接するR、G、Bの1組をサブピクセルとして、複数組のサブピクセルで1単位画素が構成されている。よって、水平方向の映像の表示が滑らかに変化する、高階調、高精細のプラズマディスプレイ装置を提供することが可能となる。

【0123】本発明によれば、水平方向に設けた隣接するR、G、Bの1組をサブピクセルとして、複数組のサブピクセルで1単位画素が構成され、複数のサブピクセルの点灯数制御方法が、各々の単位画素の第1番目のサブピクセルには、単位画素に対応する位置の映像信号に対応する信号が印加され、第2番目以降のサブピクセルには、第1番目のサブピクセルに対応する映像信号と、次の単位画素に対応する映像信号とを、サブピクセルの

設けられた位置を加味して、R、G、B独立の相関をとった信号が与えられる点灯数制御方法であることを特徴とするプラズマディスプレイ装置の駆動方法で構成されている。よって、水平方向の映像の表示が滑らかに変化する、高階調、高精細のプラズマディスプレイ装置を提供することが可能となる。

【0124】本発明によれば、サブピクセルの点灯数を段階的に制御することにより階調表示を行い、最小単位画素が列方向に設けた複数のサブピクセルからなるプラズマディスプレイ装置において、単位画素が、重みを持った複数種類のサブピクセルより構成されてなり、重みを持った複数種類のサブピクセル構成手段が、サブピクセル内に1本のX電極と1本のY電極を設けたサブピクセルと、サブピクセル内に2本のX電極と1本のY電極を設けたサブピクセルとの複数種のサブピクセルを設けたことで構成されている。

【0125】よって、同一の階調を得るための単位画素の構成において、必要なY電極の本数（及び走査線数）を従来の技術よりも低減でき、かつ、小さい画素サイズで単位画素を設けることが可能となる。

【0126】本発明によれば、階調表示手段が、水平方向に設けたサブピクセルと垂直方向に設けたサブピクセルの単位画素の点灯数を段階的に制御する手段を備えて構成される。

【0127】よって、水平、垂直方向、両方向に高階調化、高精細化を実現したプラズマディスプレイ装置を提供できる。

【0128】本発明によれば、階調表示手段が1フィールドを複数のサブフレームに分割し所望の画素を所望のサブフレームの期間点灯させるフィールド内時分割による階調表示手段と、複数個のサブピクセルにて構成した単位画素のサブピクセルの点灯数制御法による階調表示手段とを併用する手段で構成されている。

【0129】よって、行方向（水平）、列方向（垂直方向）、両方向の高階調化、高精細化が容易なプラズマディスプレイ装置を実現できる。

【0130】

【発明の実施の形態】本発明の実施の形態について、以下に説明する。

【0131】（装置構成）始めに、以下の各実施形態に係るプラズマディスプレイ装置の構成について、図1.7を用いて説明する。

【0132】図1.7に示すように、各実施形態に係るプラズマディスプレイ装置200は、上述の構成を有するPDP1と、制御回路2からの制御信号に基づいて、アドレス電極A1、1乃至AJ、Mに対してアドレスパルスPAA及び書込パルスPAWを印加するアドレスドライバ3と、制御回路2からの制御信号に基づいて、X電極X1、1乃至Xk、Nの書込パルスPXW及び維持パルスPXSを印加する駆動手段としてのX共通ドライバ

4と、制御回路2からの制御信号SYSに基づいて、Y電極Y1, 1乃至YL, Nに対してスキャンパルスPAYを印加する駆動手段としてのYスキャンドライバ6と、制御回路2からの制御信号SYCに基づいて、Yスキャンドライバ6を介してY電極Y1, 1乃至YL, Nに対して維持パルスPYSを印加する駆動手段としてのY共通ドライバ7と、所定の信号(ドットクロックCLK、表示データDATA、垂直同期信号VSYNC及び水平同期信号HSYNC等)及びマイコン90の制御に基づき、PDP1の駆動を制御する制御手段としての制御回路2と、駆動用高圧入力部INVから入力した高圧電力をマイコン90の制御の下、PDP1に印加される各パルスのため電圧変換する電圧変換部40と、PDP1に印加される各パルスの波形を予め記憶し、マイコン90の制御の下、所望のパルスの波形を出力する駆動波形領域50A及び維持パルス数設定領域50Bを有するEP-ROM(Erasable and Programmable Read Only Memory)50と、マイコン90の制御の下、電圧変換部40及び制御回路2への高電圧の印加を禁止する禁止手段としてのリレー制御部91と、プラズマディスプレイ表示装置S1全体を制御する輝度制御手段、電圧制御手段、信号制御手段としてのマイコン90と、により構成されている。

【0133】上記の構成において、各ドライバには、制御信号SA、SYS、SYC及びSXとともに、各ドライバを駆動するための高圧電力も印加されている。また、表示データDATAは、表示データ入力部INを介して外部より入力される。

【0134】また、制御回路2は、ドットクロックCLK及び表示データDATA(予め、R、G及びBに相当するデータに分割されている。)及びマイコン90の制御に基づき、表示データDATAにおける1つのフレームに対応するフレームデータを複数のサブフレームデータに時分割し、当該サブフレームデータに基づく制御信号SAを出力する表示データ制御部11と、垂直同期信号VSYNC及び水平同期信号HSYNC及びマイコン90の制御に基づき制御信号SX、SYS、SYCを出力するパネル駆動制御部12とにより構成される。

【0135】ここで、表示データ制御部11とパネル駆動制御部12は互いに必要なデータの授受を行っている。

【0136】更に、表示データ制御部11は、入力された表示データDATAを1フレームづつ一時的に記憶するフレームメモリ20及び22と、マイコン90の制御の下、表示データ間の階調の相間を取り階調補正する演算部21とにより構成されている。

【0137】なお、マイコン90は、表示データ制御部11に接続されており、表示データ制御部11ではマイコン90からの演算係数に基づき各発光セルCの階調値

演算を行っている。これにより、階調値のマイコン90による制御が可能となる。

【0138】よって、高圧系の変更なしに階調制御が可能であり、また例えばマイコン等による制御を行っている場合ソフトウェアの変更のみで様々な階調制御が可能となる。

【0139】パネル駆動制御部12は、表示データ制御部11のサブフレームデータに含まれるスキャンパルスPAY並びに垂直同期信号VSYNC及び水平同期信号HSYNCに基づき、制御信号SYSを出力するスキャンドライバ制御部30と、表示データ制御部11のサブフレームデータに含まれる維持パルスPXS、PYSの数並びに垂直同期信号VSYNC及び水平同期信号HSYNCに基づき、制御信号SYC及びSXを出力する共通ドライバ制御部31と、により構成されている。

【0140】更に、電圧変換部40は、駆動用高圧入力部INVを介して図示しない外部高電圧発生装置から入力した高圧電力に基づき、書込パルスPAW及びアドレスパルスPAAを発生させるためにアドレス電極A1, 1乃至AJ, Mに供給される高圧電力を発生するVa電源部41と、駆動用高圧入力部INVから入力した高圧電力に基づき、書込パルスPXWを発生させるためにX電極X1, 1乃至Xk, Nに供給される高圧電力を発生するVW電源部42と、駆動用高圧入力部INVから入力した高圧電力に基づき、アドレス期間における主アドレス放電(壁電荷蓄積放電)のためにY電極Y1, 1乃至YL, Nに供給される高圧電力を発生するVSC電源部43と、駆動用高圧入力部INVから入力した高圧電力に基づき、マイコン90の制御の下、アドレス期間におけるスキャンパルスPAYを発生させるためにY電極Y1, 1乃至YL, Nに供給される高圧電力を発生するVy電源部44と、駆動用高圧入力部INVから入力した高圧電力に基づき、マイコン90の制御の下、アドレス期間における主アドレス放電(壁電荷蓄積放電)のためにX電極X1, 1乃至Xk, Nに供給される高圧電力(Xアドレス電圧VX)を発生するVX電源部45と、により構成されている。

【0141】また、マイコン90は、維持放電電圧(維持パルスの電圧)基準電圧出力部OUTに接続されており、これにより、維持放電電圧を発生するための図示しない外部高電圧発生装置を制御して駆動用高圧入力部INVから入力される電力の電圧を制御し、維持放電電圧を制御することが可能とされている。

【0142】また、マイコン90は複数の維持放電パルス数を記憶したEP-ROM50のアドレス選択端子に接続されており、これにより維持放電パルス数のマイコン制御が可能となる。基準維持パルス数に対する各サブフレームの維持放電パルス数が予め設定されており、これに基づき、上記の基準維持パルスPR当該サブフレームにおける維持パルス数としてパネル駆動制御部12に

出力され、パネル駆動制御部12の共通ドライバ制御部31により、維持パルス数に対応する維持パルスが出力される。

【0143】次に、リレー制御部91の動作について、説明する。PDP1を動作させる周辺環境温度が異常に高い場合、又は、予期せぬ不具合が発生した場合等に、PDP1を含むプラズマディスプレイ表示装置S1の温度が異常に上昇し、回路素子の温度定格を超過し、当該回路素子が部品破壊へ至る可能性がある場合に、PDP1等の温度が異常モードにつながる可能性のある設定温度に達したとき、プラズマディスプレイ装置S1に対する電源供給が禁止される。

【0144】次に、具体的動作について説明する。PDP1の表面温度の検出（図示せず）、X共通ドライバ4及びY共通ドライバ7の温度の検出（図示せず）並びに、装置内雰囲気温度検出器（図示せず）によるプラズマディスプレイ表示装置S1の装置内温度の検出を行う。

【0145】マイコン90は、各温度検出器から入力された検出信号に基づき、各温度情報の内いずれか一つ以上がそれぞれに設定された閾値を上回った場合、リレー制御部91を動作させ、駆動用の高圧線を一時的に断とする。この動作は各温度情報の全てが閾値を下回るまで継続される。それぞれの閾値としては、検出信号STP（PDP1の表面温度検出）に関しては90℃、検出信号STX（X共通ドライバ4の温度検出）及びSTY（Y共通ドライバ7の温度検出）に関しては130℃、装置内雰囲気温度検出器60（図示せず）からの検出信号に関しては80℃程度が適当である。

【0146】以上説明したように、本構成によれば、PDP1等の温度が所定値以上に上昇した場合には、それらの動作を停止することができ、当該所定値以上の温度上昇による異常動作から当該装置等を保護することができる。

【0147】以上の構成を有する各実施形態のプラズマディスプレイ装置S1のもとで、以下、各実施形態のPDP1を詳細に説明する。

【0148】（実施形態1）実施形態1は、サブピクセルの点灯数を段階的に制御することにより階調表示を行い、最小単位画素が列方向に設けた複数のサブピクセルからなるプラズマディスプレイ装置において、各サブピクセル内に複数のアドレス電極を設け、複数種のサブピクセルが複数のアドレス電極の内の1つに接続された第2の導電層108により、アドレスされることを特徴とするプラズマディスプレイ装置を備えて構成されることにより、高階調化と高精細化の課題を解決したプラズマディスプレイ装置を容易に実現出来る。

【0149】第1の実施形態の構造について図9を用いて説明する。

【0150】本PDP1の各単位画素（CM、N）は、

列方向に設けた2つのサブピクセルにて構成されており、 $M=680 \times 3$ 、 $N=480$ の画素を有する。図9は、本PDP1の単位画素C1、1乃至C9、1のSPC1と、SPC2とのサブピクセルまでの範囲を示す部分拡大略平面図である。また、1サブピクセル毎に、アドレス電極AJ、M（ただしJは1乃至2であり、合計2本）、Xk、N電極、Yk、N電極を設けてある。

【0151】なお、図15の横断面図でも判る様に、各サブピクセルの領域内では第2の導電層108が、アドレス電極を覆う様に設けてあり、SPC1の第2の導電層108は、A1、Mの電極にスルーホールを介して接続されている。同様に、SPC2内の第2の導電層108は、A2、Mの電極にスルーホールを介して接続されている。この様に、特定のサブピクセルをアドレスするのに必要な電圧は、特定のサブピクセルの中に設けた第2の導電層108より供給され、かつ、この第2の導電層108は、もう一方のアドレス電極の電位をシールドする作用を有している。本実施形態に示した2つのサブピクセル、SPC1、SPC2は、それぞれ均等の形状を有している。

【0152】SPC1とSPC2の2つのサブピクセルの点灯数を制御する階調表示の場合、0、1、2、と3階調を表示することが可能となる。また、リファレンスのプラズマディスプレイ装置と比較して、1ライン当りのアドレス期間は、半分に短縮されるが（2ライン同時アドレス可能となるため）、走査線数が2倍となるため、全アドレス期間は、リファレンスのPDPと同じである。

【0153】ここで、1サステインサイクル期間：8 μ s／1回。1階調のサステインサイクル：2サイクル。リセット期間：50 μ s／1回。アドレスサイクル期間：3 μ s／1回とする。なお、フィールド内時分割による各サブフレームは、1、2、4、8、16、32、64、128の重みを持っており、SPC1、SPC2と合わせてと、1フィールド期間で384階調を表示できる。

【0154】なお、この384階調表示を維持して、列方向の画素数を、480画素 \times 1.3倍の画素数まで高精細化できることは、作用で説明したことから明らかである。

【0155】また、本実施形態は、特開平11-133912号公報に開示されている様な表示画面を上下2分割する様な高精細化手段を使用せずに、隣接した複数行を同時にアドレスする高精細化手段を使用しているので、書き込まれた画素情報は、低周波誤差成分を含まず、信号成分と高周波誤差成分からなり、階調の不均一を目立たなくできる利点もある。

【0156】なお、単位画素を構成する複数のサブピクセルを、異なる重みを持ったサブピクセルにより、構成してもよい。また単位画素を構成するサブピクセルの数

を3個以上にしてもよい。

【0157】本発明によれば、総アドレス期間が、長くならず、むしろ短縮でき、容易に高階調化と高精細化の可能なプラズマディスプレイ装置を実現できる。本実施形態に示した2つのサブピクセルであるSPC1とSPC2は、それぞれ均等の形状を有している。

【0158】よって、SPC1とSPC2を2つの独立した単位画素に割り与えて、高精細化を図っても良い。

【0159】本発明のプラズマディスプレイ装置の構造面での特徴は、図9と図15に示した様に、島状の第2の導電層108が、サブピクセル内に設けた複数のアドレス電極AJ、Mの1つにスルーホールを介して接続されていることであり、複数のサブピクセルを独立に同時にアドレスすることを可能としたことにある。

【0160】各アドレスを透明電極と不透明電極との2層構造の電極として、電極の低抵抗化を図っても良い。

【0161】また、アドレス電極を隔壁の側面にかかるように延在させても良い。こうするとスルーホールを設けずに、橋状の導電体層を設けることにより、橋状の導電体層を介して、アドレス電極を第2の導電層108に接続することが可能となる。いずれにしても、アドレス電極の隔壁側の端部を、第2の導電層108が覆う構造にすることが、クロストークを低減するために必要である。

【0162】絶縁体層107は、絶縁体材料であり、低誘電率材料からなる方が好ましいが、サブピクセルの蛍光体材料と同じものを使用しても良い。その他の構造や材料は図15にて説明した従来技術の構造や材料と同一であっても良い。なお、図9において、SPC1とSPC2との境界を示す2点鎖線は想像線であり、実際には存在しない。

【0163】しかし、列方向の隣接するサブピクセルの電極間隙における光漏れ(クロストーク)を低減あるいは隠す目的で、ガラス基板106(図15)の外面側又は内面側に図示しない遮光膜を設けても良い。

【0164】(実施形態2) 実施形態2は、プラズマディスプレイ装置において、さらに、1画素を構成するR、G、Bの最小単位画素を、水平方向に設けた、複数の同色のサブピクセルで構成し、これら複数のサブピクセルの点灯数を段階的に制御することにより階調表示を行うことを特徴とするプラズマディスプレイ装置を備えて構成することにより、高階調化と高精細化の課題を解決する実施形態である。

【0165】第2の実施形態の構造について、図1を用いて説明する。

【0166】本PDP1の各単位画素(CM、N)は、行方向に設けた2つのサブピクセルにて構成されており、 $M=1280 \times 3$ 、 $N=1024$ の画素を有する。図1は、本PDP1の単位画素C1、1乃至C5、2の範囲を示す部分拡大概略平面図である。また、1サブピ

クセル毎に、アドレス電極AJ、 $2M-1$ を2本と、XK、N電極、YL、N電極を各1本設けている。よって、J、K、Lは1乃至2である。

【0167】垂直方向にも実施形態1で説明した手段によって、2種のサブピクセルを設けているが、本実施形態においては、この2種のサブピクセルを2つの独立した画素として使用している。よって、走査線(ライン)数は、1024本あるが、アドレス時間は、1024本の半分の走査時間があれば良い。

【0168】1サステインサイクル期間： $8 \mu s / 1$ 回。1階調のサステインサイクル：2サイクル。リセット期間： $50 \mu s / 1$ 回。アドレスサイクル期間： $3 \mu s / 1$ 回として、本PDP1の階調表示手段をC1、2の単位画素の階調表示例でもって説明する。

【0169】C1、2の画素の行方向に設けた2つのサブピクセルSPC1とSPC2を最下位階調と次の下位階調の2階調に割り与え、行方向に設けた2つのサブピクセルの点灯数を制御して、0、1、2の3階調を表示している。残りの上位7ビットを、1フィールドを複数のサブフレームに分割し希望の画素を希望のサブフレームの期間点灯させるフィールド内時分割による階調表示手段に割り与えている。

【0170】なお、フィールド内時分割による各サブフレームは、1、2、4、8、16、32、64、の重みを持っており、SPC1とSPC2とのサブフレームの点灯数を制御する階調表示手段と合わせて、このPDP1は、384階調を表示することが可能である。階調3は、重み1のサブフレームの時に、SPC1とSPC2がアドレスされ、維持放電されることにより表示される。

【0171】本実施形態において、1フィールドの全画素を384階調で表示するのに必要な1フレーム期間は、13.15msとなり、高精細化と高階調化を実現して、なお高輝度化に時間を割り与える余裕があることになる。よって、384階調を維持して、1階調のサステインサイクルを5サイクルに変更して、高輝度化を図ってもよい。

【0172】また、単位画素を構成する行方向のサブピクセルの数を3以上にすると、さらに、高階調化や高精細化に対応したプラズマディスプレイ装置を実現できる。

【0173】なお、本発明は、実施形態2に限定されるものではない。2つのサブピクセルであるSPC2とSPC1を最下位階調と次の下位階調の2階調に割り与えても良い。また、2つのサブピクセルSPC2とSPC1の片方をフィールド内時分割による階調表示手段の上位ビットに割り与えても良い。また単位画素を3つ以上の行方向のサブピクセルにて構成しても良い。

【0174】よって、本発明によれば、容易に高精細化と高階調化が両立するプラズマディスプレイ装置を実現

できる。

【0175】なお、本実施形態のサブピクセルの横断面形状は、第2の導電層108があることと、蛍光体層が列状にR、R、G、G、B、Bの順に配置していること等を除けば、図5に示す従来技術と同一の断面形状であってもよい。また、同色のサブピクセルが複数個隣接して設けてあることを除けば、図15の各サブピクセルの横断面形状と同一形状であってもよい。

【0176】（実施形態3）実施形態3は、サブピクセルの点灯数を段階的に制御することにより階調表示を行うプラズマディスプレイ装置において、サブピクセルが重みを持った複数種類のサブピクセルより構成されてなり、サブピクセルに重みを付ける手段が、サブピクセル内のX電極長（及びY電極長）の異なる複数のサブピクセルを設けることよりなるプラズマディスプレイ装置を備えて構成することにより、高階調化と高精細化の課題を解決する実施形態である。

【0177】第3の実施形態の構造について図2を用いて説明する。

【0178】本PDP1の各单位画素（CM，N）は、行方向に設けた2つのサブピクセルにて構成されており、 $M=680 \times 3$ 、 $N=480$ の画素を有する。図2は、本PDP1の各单位画素C1，1乃至C3，2の範囲を示す部分拡大略平面図である。また、1サブピクセル毎に、アドレス電極AJ，M、XN電極、YN電極を各1本設けてある。

【0179】各单位画素を構成する2つのサブピクセルであるSPC1とSPC2は、それぞれ1、2、の階調の重みを持っている。この重み付けは、サブピクセルを挟む一方の隔壁から他方の隔壁までの幅（隔壁間隔）の異なるサブピクセルを設けることと、各サブピクセルの放電電流（隔壁間隔）と蛍光体の発光効率（蛍光体で覆われた領域）の最適化とにより実現できる。走査線（ライン）数は、480本である。

【0180】1サステインサイクル期間：8 μ s／1回。1階調のサステインサイクル：2サイクル。リセット期間：50 μ s／1回。アドレスサイクル期間：3 μ s／1回として、本PDP1の階調表示手段をC1，2の各单位画素の階調表示例を用いて説明する。

【0181】C1，2の画素の行方向に設けた2つのサブピクセルSPC1、SPC2を最下位階調と次の下位階調の2階調に割り当て、2つの重みを持ったサブピクセルSPC1、SPC2の点灯数を段階的に制御することにより、0、1、2、3、の4階調の表示が可能である。残りの上位7ビットを1フィールドを複数のサブフレームに分割し所望の画素を所望のサブフレームの期間点灯させるフィールド内時分割による階調表示手段に割与えている。

【0182】なお、フィールド内時分割による各サブフレームは、1、2、4、8、16、32、64、の重み

を持っており、SPC1とSPC2とからなるサブフレームの点灯数を制御して階調を表示する手段と合わせて、このPDP1は、512階調を表示することが可能である。階調4は、重み1のサブフレームの時にSPC1、SPC2がアドレスされ、維持放電されることにより表示される。

【0183】なお、1フィールドの全画素を512階調で表示するのに必要な期間は13.36msとなる。よって、512階調を維持して、480 \times 1.3倍までの画素を列方向に形成でき、高精細化が高階調化と同時に実現可能である。

【0184】なお、本発明は、実施形態3に限定されるものではない。2つのサブピクセルであるSPC2とSPC1の両方をフィールド内時分割による階調表示手段より上位のビットに割り与えてもよい。また単位画素を3つ以上のサブピクセル（1、2、4の階調の重み付けを有するサブピクセル）にて構成し、単位画素を構成するサブピクセルの点灯数を制御して、8階調の階調表示をしてもよい。

【0185】よって、本発明によれば、容易に高精細化と高階調化が両立するプラズマディスプレイ装置を実現できる。

【0186】（実施形態4）実施形態4は、サブピクセルの点灯数を段階的に制御することにより階調表示を行うプラズマディスプレイ装置において、サブピクセルが重みを持った複数種類のサブピクセルより構成されていることを特徴とするプラズマディスプレイ装置を備えて構成することにより、高階調化と高精細化の課題を解決する実施形態であり、実施形態3と異なる手段で、2種類の階調の重みを持つサブピクセルを形成している。

【0187】2種類の階調の重みを持つサブピクセルの構造を、図3を用いて説明する。本PDP1の各单位画素（CM，N）は、行方向に設けた3つのサブピクセルにて構成されており、 $M=680 \times 3$ 、 $N=480$ の画素を有する。図3は、本PDP1の各单位画素C1，1乃至C3，2の範囲を示す部分拡大平面図である。また、各1サブピクセルに、アドレス電極AJ，M、XN電極、YN電極が1本設けられている。

【0188】しかし、SPC1を挟む様に両側に設けたSPC2には、共通のアドレス信号PAAが印加される。各サブピクセルが均等に構成されており、SPC2は、2つのサブピクセルSPC1の加算された構造となっているので、単位画素を構成する2つのサブピクセルであるSPC1とSPC2は、それぞれ1、2の階調の重みを持っている。

【0189】次に、第4の実施形態の構造について説明する。

【0190】本実施形態は、図3を用いて説明した様に、行方向に、2種類の階調の重みを持つサブピクセルを形成しているのに加えて、垂直方向にも、実施形態1

に説明した手段によって、2種のサブピクセルを設けている。よって、本PDP1の各単位画素(CM, N)は、行方向に設けた3つのサブピクセルと垂直方向に形成される2種のサブピクセルと合計6つのサブピクセルで構成されていて、本PDP1は、 $M=680 \times 3$ 、 $N=480$ の画素を有する。なお、走査線(ライン)数は、960本である。

【0191】1サステインサイクル期間： $8 \mu s / 1$ 回。1階調のサステインサイクル：2サイクル。リセット期間： $50 \mu s / 1$ 回。アドレスサイクル期間： $3 \mu s / 1$ 回として、本PDP1の階調表示手段を、説明する。

【0192】単位画素の行方向に設けた2種類のサブピクセルであるSPC1とSPC2を最下位階調と次の下位階調の2階調に割り当て、2つのサブピクセルの点灯数を制御することにより、4階調を表示することが可能となる。かつ、垂直方向の2つのサブピクセルの点灯数を制御することにより、3階調の表示が可能となる。残りの上位7ビットを、1フィールドを複数のサブフレームに分割し所望の画素を所望のサブフレームの期間点灯させるフィールド内時分割による階調表示手段に割与えている。

【0193】なお、フィールド内時分割による各サブフレームは、1、2、4、8、16、32、64、の重みを持っており、複数のサブピクセルであるSPC1とSPC2の点灯数を制御する階調表示手段と合わせて、このPDP1は、1536階調を表示することが可能である。階調4は、重み1のサブフレームの時に、X1, N電極とY1, N電極を設けた行のSPC1とSPC2がアドレスされ、維持放電されることにより表示される。

【0194】全部のサブピクセルが全サブフレームに渡りアドレスされない時を、階調1としている。

【0195】なお、1フィールドの全面素を1536階調で表示するのに必要な期間は、13.36msである。

【0196】なお、階調の重み2のサブピクセルであるSPC2は、同一行の隣接する階調重み1の2つのサブピクセルにより構成しても良い。また2本のA2, M電極(図3に示すアドレス電極)は共通のアドレスドライバで駆動しても良い。また、請求項2に記載の発明は、行方向に設ける複数のサブピクセルが異なる重みを持っても良い。以上説明した様に、本実施形態の発明によれば、容易に、高階調化と高精細化が可能なプラズマディスプレイ装置を実現できる。

【0197】(実施形態5) 実施形態5は、水平方向に設けた隣接するR, G, Bの1組をサブピクセルとして、複数組のサブピクセルで1単位画素を構成し、これら単位画素の点灯方法を制御することにより階調表示を行うことを特徴とするプラズマディスプレイ装置を備えて構成され、高階調化と高精細化の課題を容易に解決し

たプラズマディスプレイ装置を実現できる。

【0198】第5の実施形態の構造について図8を用いて説明する。

【0199】本PDP1の各単位画素(CM, N)は、行方向に設けた6つのサブピクセルにて構成されており、本PDP1は、 $M=680$ 、 $N=480$ の画素を有する。図8は、本PDP1の単位画素C1, 1乃至C2, 2の半分の範囲を示す部分拡大概略平面図である。6つのサブピクセルに、独立したアドレス電極AJ, M、と、共通に接続されたXN電極、YN電極が設けられている。Jは1乃至6である。各サブピクセルを構成するSPC1R、SPC1G、SPC1B、SPC2R、SPC2G、SPC2Bは、均等の大きさに構成されている。

【0200】次に、高階調化を実現する本実施形態の駆動方法について説明する。SPC1R、SPC1G、SPC1Bには、表示データD(1, 2)R, D(1, 2)G, D(1, 2)Bが書き込まれる。単位画素C2, 2に対応するSPC3R、SPC3G、SPC3Bには、表示データD(2, 2)R, D(2, 2)G, D(2, 2)Bが書き込まれる。

【0201】単位画素C1, 2に対応する、もう一方のSPC2R、SPC2G、SPC2Bには、表示データ{D(1, 2)R+D(2, 2)R}/2, {D(1, 2)G+D(2, 2)G}/2, {D(1, 2)B+D(2, 2)B}/2が書き込まれる。

【0202】表示データであるD(1, 2)R, D(1, 2)G, D(1, 2)B、{D(1, 2)R+D(2, 2)R}/2, {D(1, 2)G+D(2, 2)G}/2, {D(1, 2)B+D(2, 2)B}/2、D(2, 2)R, D(2, 2)G, D(2, 2)Bは、7ビットのサブフレームよりなるフィールド内時分割による階調表示手段により、アドレス電極とX電極とY電極から、PDP1の各サブピクセルに書き込まれている。

【0203】よって、本発明によれば、高階調で高精細なプラズマディスプレイ装置を容易に実現できる。

【0204】なお、本発明は、本実施形態だけに限定されないものであり、単位画素は、3の倍数か6の倍数の個数のサブピクセルから構成され、蛍光体がR、G、Bのストライプ状に配列されているプラズマディスプレイ装置であれば良く、プラズマディスプレイ装置の高階調化と高精細化が容易に実現できる。また、サブピクセルに書き込む信号と単位画素に対応するデータとの相関の取り方は、本実施形態に限定されるものではなく、行方向に設けた複数個のサブピクセルにより単位画素が構成されるプラズマディスプレイ装置において、各単位画素を構成する複数個のサブピクセルに、単位画素に対応するデータと、隣接する複数個の単位画素に対応するデータとの相関をもった信号とを与えて、容易に、高階調化と

高精細化に対応可能なプラズマディスプレイ装置を実現できる。

【0205】（実施形態6）実施形態6は、サブピクセルの点灯数を段階的に制御することにより階調表示を行い、最小単位画素が列方向に設けた複数のサブピクセルからなるプラズマディスプレイ装置において、単位画素が、重みを持った複数種類のサブピクセルより構成されてなり、重みを持った複数種類のサブピクセル構成手段が、サブピクセル内に1本のX電極と1本のY電極を設けたサブピクセルと、サブピクセル内に2本のX電極と1本のY電極を設けたサブピクセルとの複数種のサブピクセルを設けたことによることを特徴とするプラズマディスプレイ装置を備えて構成されており、容易に高階調化のプラズマディスプレイ装置を実現できる。

【0206】第6の実施形態の構造について図16を用いて説明する。

【0207】本PDP1の各単位画素（CM，N）は、列方向に設けた2つのサブピクセルであるSPC1とSPC2とから構成されており、本PDP1は、行方向にM個と、列方向にN個の画素を有する。図16は、本PDP1の拡大概略平面図である。サブピクセルであるSPC1とSPC2に、列状の共通のアドレス電極であるAMが設けられている。

【0208】X電極とY電極は、サブピクセルSPC1に、 X_k ， $3N-2$ 電極（ $k=1$ ）、 Y_k ， $2N-1$ 電極（ $k=1$ ）が行状に設けられており、サブピクセルSPC2に、 X_k ， $3N-1$ 電極（ $k=2$ ）、 Y_k ， $2N$ 電極（ $k=2$ ）、 X_k ， $3N$ 電極（ $k=2$ ）とが、行状に設けられている。 X_k ， $3N-1$ 電極（ $k=2$ ）と X_k ， $3N$ 電極（ $k=2$ ）は、今までに説明したのと同様に、図17に示したX共通ドライバ4に、共通接続されている。よって、走査線の数、SPC1用とSPC2用とに1単位画素当たり2本必要である。

【0209】なお、SPC1とSPC2に、それぞれ階調：1、2の重み付けをしている。

【0210】よって、SPC1とSPC2のサブピクセルを使用して、2つのサブピクセルの点灯数を制御することにより、1単位画素当たり4階調を表示できる。また、本実施形態のSPC1とSPC2への1：2の階調の重み付け手段は、SPC2の放電電流がSPC1の放電電流の2倍となる様に、SPC2のX電極長をSPC1のX電極長の2倍にして実現している。つまり、サブピクセルSPC2のY電極を挟む様に、2本のX電極を設けることで、SPC2の総放電電極長が、SPC1の放電電極長の2倍となる様にした。

【0211】従来の技術では、列方向に設けたサブピクセルで、4階調を実現するためには、3つの走査線を必要とし、高階調化が実現しなかった。しかし本発明によれば、2つの走査線に対応するサブピクセルの点灯数を制御することにより、4階調を表示することが可能となる。

この様に、列方向に重みを持った複数のサブピクセルを備えた本実施形態によれば、少ない走査線数で列方向にサブピクセルを設けることが可能である。

【0212】なお、列方向に階調重みの異なる複数のサブピクセルを設けて高階調化を図る手段を使用した本実施形態の場合でも、この列方向の複数のサブピクセルの点灯数を制御する階調表示手段を使用しない場合に比較し、走査線の数が増加している。よって、本実施形態は、実施形態1乃至実施形態5に示した高階調化、高精細化手段と併用することが望ましい。

【0213】以上説明した実施形態において、プログレスキャンの走査方法を用いて、本発明を説明したが、本発明は、インターレース走査にも適用できることは、言うまでもないことである。

【0214】

【発明の効果】以上説明したように、本発明は、サブピクセルの点灯数を段階的に制御することにより階調表示を行い、画素がアドレス電極方向に設けた複数のサブピクセルからなるプラズマディスプレイ装置において、各サブピクセル内に複数のアドレス電極を設け、複数種のサブピクセルが複数のアドレス電極の内の1つに接続された第2の導電層108により、アドレスされることを特徴とするプラズマディスプレイ装置を備えて構成されているので、階調表示に必要とするアドレス期間が短縮され、容易に列方向の高精細化に対応するプラズマディスプレイ装置を提供できる。

【0215】本発明は、サブピクセル内に複数のアドレス電極を設け、サブピクセルが複数本のアドレス電極の内の1つに接続され、いずれかのアドレス電極と導通した第2の導電層によりアドレスされ、さらに、1画素を構成するR，G，Bの最小単位画素を、水平方向に設けた、複数個の同色のサブピクセルで構成し、これら複数のサブピクセルの点灯数を段階的に制御することにより階調表示を行うことを特徴とするプラズマディスプレイ装置を備えて構成されるので、容易に高精細化と多階調化に対応するプラズマディスプレイ装置を提供できる。

【0216】本発明は、サブピクセルの点灯数を段階的に制御することにより階調表示を行うプラズマディスプレイ装置において、サブピクセルが重みを持った複数種類のサブピクセルより構成されてなり、サブピクセルに重みを付ける手段が、サブピクセル内のX電極長異なる複数のサブピクセルを設けることよりなるプラズマディスプレイ装置を備えて構成されるので、少ないアドレス電極数でもって、また、小さい単位画素サイズでもって、容易に高精細化と多階調化に対応するプラズマディスプレイ装置を提供できる。

【0217】本発明は、水平方向に設けた隣接するR，G，Bの1組をサブピクセルとして、複数組のサブピクセルで1単位画素を構成し、これら単位画素の点灯方法を制御することにより階調表示を行うことを特徴とする

プラズマディスプレイ装置を備えて構成されているので、容易に高精細化と多階調化に対応するプラズマディスプレイ装置を提供できる。

【0218】本発明は、水平方向に設けた隣接するR、G、Bの1組をサブピクセルとして、複数組のサブピクセルで1単位画素が構成され、複数のサブピクセルの点灯数制御方法が、各々の単位画素の第1番目のサブピクセルには、単位画素に対応する位置の映像信号に対応する信号が印加され、第2番目以降のサブピクセルには、第1番目のサブピクセルに対応する映像信号と、次の単位画素に対応する映像信号とを、サブピクセルの設けられた位置を加味した、R、G、B独立の相関をとった信号が与えられる点灯数制御方法であることを特徴とするプラズマディスプレイ装置の駆動方法を備えて構成されているので、容易に多階調化に対応するプラズマディスプレイ装置を提供できる。

【0219】本発明は、サブピクセルの点灯数を段階的に制御することにより階調表示を行い、単位画素が列方向に設けた複数のサブピクセルからなるプラズマディスプレイ装置において、単位画素が、重みを持った複数種類のサブピクセルより構成されてなり、重みを持った複数種類のサブピクセル構成手段が、サブピクセル内に1本のX電極と1本のY電極を設けたサブピクセルと、サブピクセル内に2本のX電極と1本のY電極を設けたサブピクセルとの複数種のサブピクセルを設けたことによることを特徴とするプラズマディスプレイ装置を備えて構成されているので、走査線数をあまり増やさずに、小さい画素サイズでもって、容易に多階調化に対応するプラズマディスプレイ装置を提供できる。

【0220】本発明は、階調表示手段が、水平方向に設けたサブピクセルと垂直方向に設けたサブピクセルとの複数種のサブピクセルの点灯数を制御で構成されているので、容易に高精細化と多階調化に対応するプラズマディスプレイ装置を提供できる。

【0221】本発明は、階調表示手段が1フィールドを複数のサブフレームに分割し所望の画素を所望のサブフレームの期間点灯させるフィールド内時分割による階調表示手段と、複数個のサブピクセルにて構成した単位画素のサブピクセルの点灯数制御法による階調表示手段との併用することで構成されているので、容易に高精細化と多階調化に対応するプラズマディスプレイ装置を提供できる。

【図面の簡単な説明】

【図1】図1は、本発明の第2実施形態のPDP1の構成を示す拡大部分概略平面図である。

【図2】図2は、本発明の第3実施形態のPDP1の構成を示す拡大部分概略平面図である。

【図3】図3は、本発明の第4実施形態のPDP1の構成を示す拡大部分概略平面図である。

【図4】図4は、従来のPDPの詳細構成を示す説明図

である。

【図5】図5は、従来のPDPの内部構造を示す斜視図である。

【図6】図6は、従来のプラズマディスプレイ装置の構成を示す構成図である。

【図7】図7は、従来のPDPの各R、G、Bの2つのサブピクセルにおける点灯状態を示す説明図である。

【図8】図8は、本発明の第5実施形態のPDP1のサブピクセルの構成を示す拡大部分概略平面図である。

【図9】図9は、本発明の第1実施形態のPDP1の構成を示す拡大部分概略平面図である。

【図10】図10は、従来のPDPの構成（平面図）を示す図である。

【図11】図11は、従来のPDPの構成（断面図）を示す図であり、(a)は図10における $\alpha-\alpha'$ 間の断面図であり、(b)は図10における $\beta-\beta'$ 間の断面図である。

【図12】図12は、従来のプラズマディスプレイ表示装置の概要構成を示すブロック図である。

【図13】図13は、従来のプラズマディスプレイ表示装置の動作を示すタイミングチャートである。

【図14】図14は、従来の表示データのフレーム構成を示す図である。

【図15】図15は、本発明の第1実施形態のPDPの構成（断面図）を示す図である。(a)は図9における $\alpha-\alpha'$ 間の断面図であり、(b)は図9における $\beta-\beta'$ 間の断面図である。

【図16】図16は、本発明の第6実施形態のPDP1の構成を示す拡大部分概略平面図である。

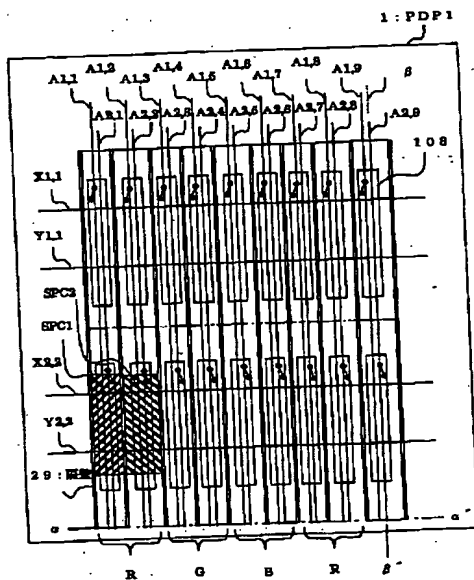
【図17】図17は、本発明のPDP1の動作を示すためのプラズマディスプレイ装置の概略構成ブロック図である。

【符号の説明】

1、100	PDP（プラズマディスプレイパネル）
2、110	制御回路、コントローラ
3、111	アドレスドライバ
4、112	X共通ドライバ
6、113	Yスキャンドライバ
7、114	Y共通ドライバ
11、120	表示データ制御部
12、121	パネル駆動制御部
20、22、122、124	フレームメモリ
21	演算部
29、129	隔壁
30、140	スキャンドライバ制御部
31、141	共通ドライバ制御部
40	電圧変換部
41	Va 電源部
42	VW 電源部

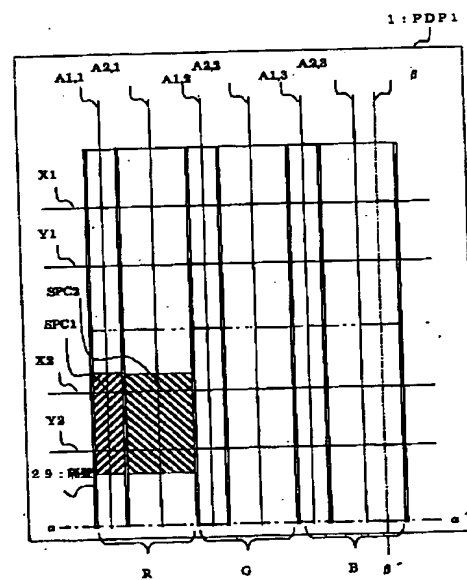
- 43 VSC電源部
- 44 Vy 電源部
- 45 VX 電源部
- 46 電源回路
- 50 EP-ROM
- 50A 駆動波形領域
- 50B 維持パルス数設定領域
- 71、81 制御回路
- 85 駆動ユニット
- 90 マイコン
- 91 リレー制御部
- 101、131 背面ガラス基板
- 102 MgO膜、保護層
- 103、134 誘電体層
- 104 バス電極
- 105 透明電極
- 106 前面ガラス基板
- 107 絶縁体層
- 108 第2の導電層
- 120 データ処理回路
- 128R、128G、128B、F、F(R)、F(G)、F(B) 蛍光体層
- 132 下地層
- 135 放電空間
- 142 金属膜

【図1】

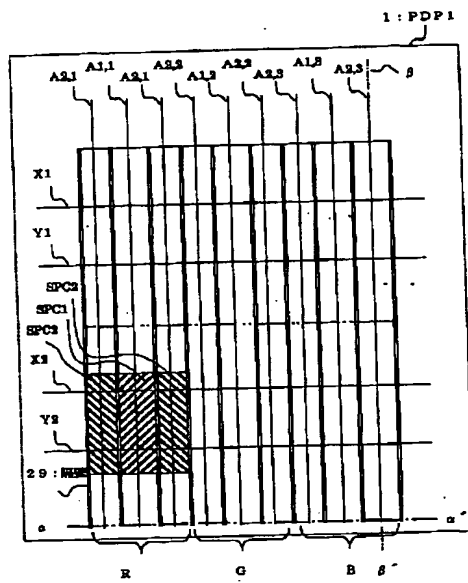


- 200、S1 プラズマディスプレイ装置
- IN 表示データ入力部
- INV 駆動高圧入力部
- L、L1、L2 走査線
- OUT 基準電圧出力部
- DATA 表示データ
- DATA s f サブフレームを表示するためのデータ
- A、A1、A2、A3、A4、A5、A6、A7、A8、A9、AM、AJ、M アドレス電極
- C、C(M、N) 発光セル、単位画素
- SPC1、SPC2 サブピクセル
- X1、X2、X3、X4、XN、XK、N、XK、2N-1、XK、2N、XK、3N-2、XK、3N-1、XK、3N X電極
- Y1、Y2、Y3、Y4、YN、YK、2N-1、YK、2N、Y2N-1、Y2N Y電極
- SA、SYS、SYC、SX 制御信号
- PAA アドレスパルス
- PAY スキャンパルス
- PAW、PXW 書込パルス
- PXS、PYS 維持パルス
- CLK ドットクロック
- VSYNC 垂直同期信号
- HSYNC 水平同期信号

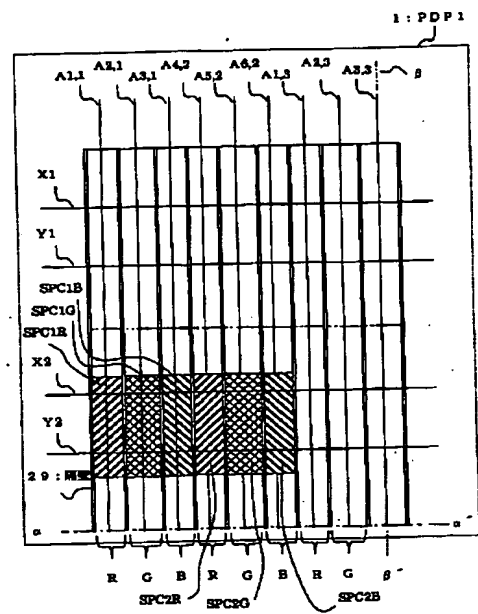
【図2】



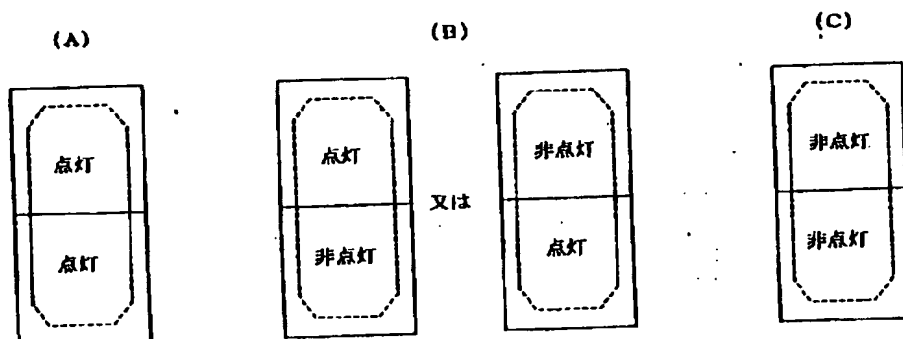
【図3】



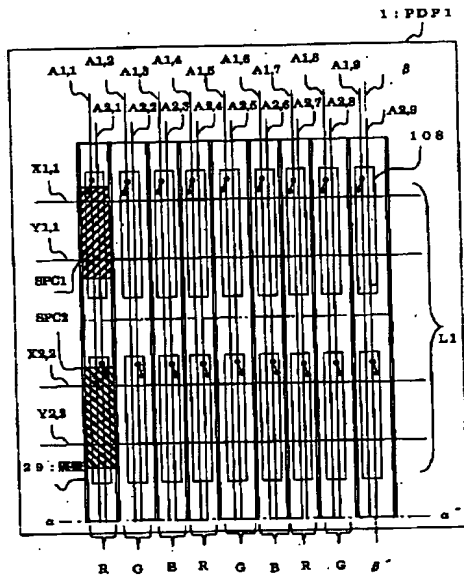
【図 8】



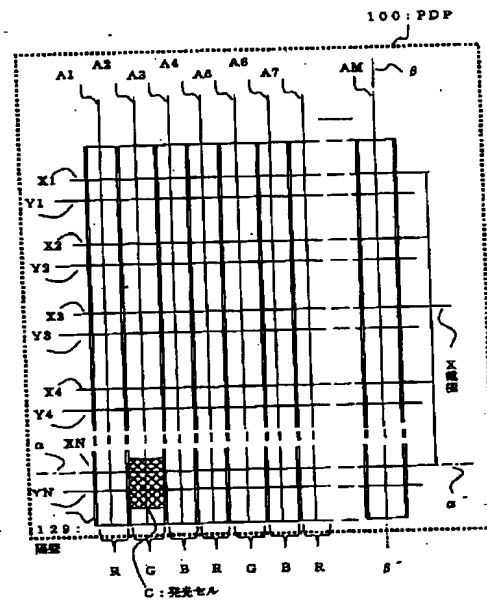
【图 7】



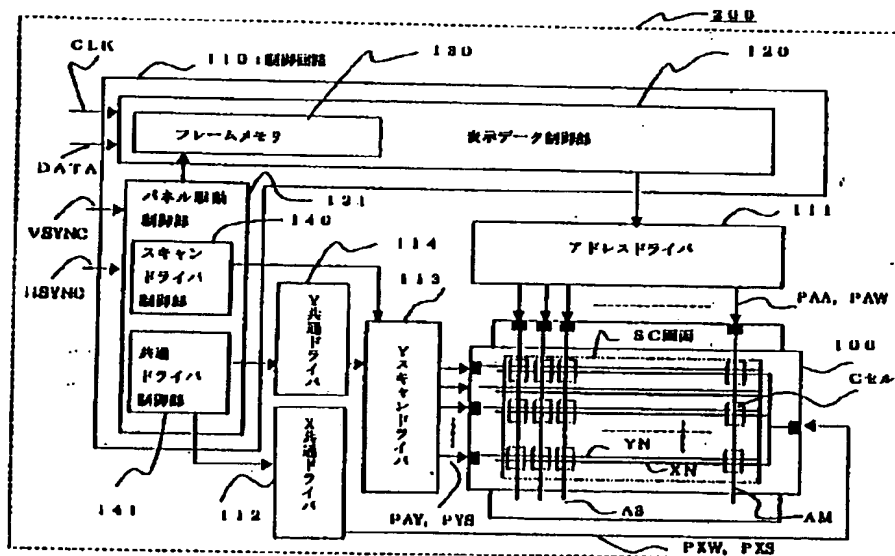
【図9】



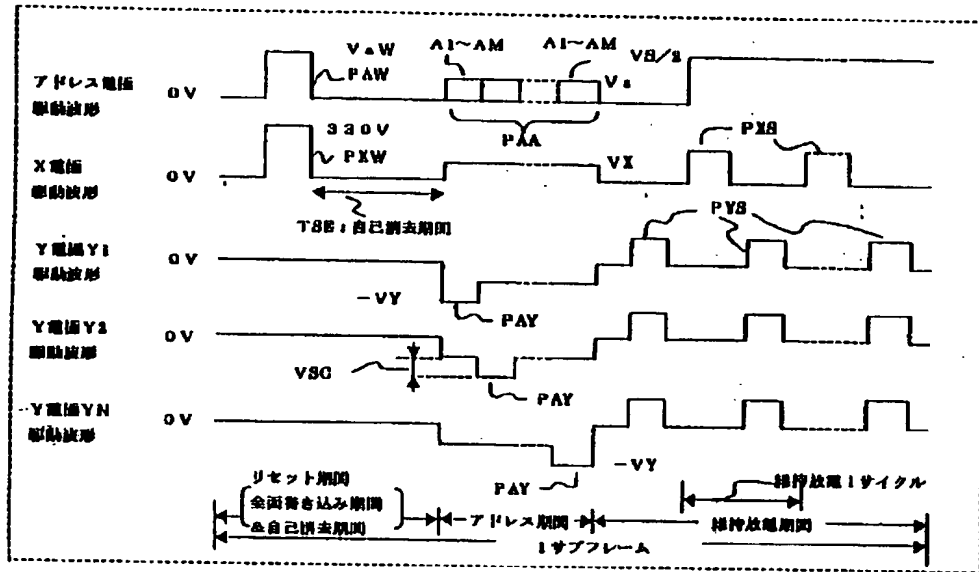
【図10】



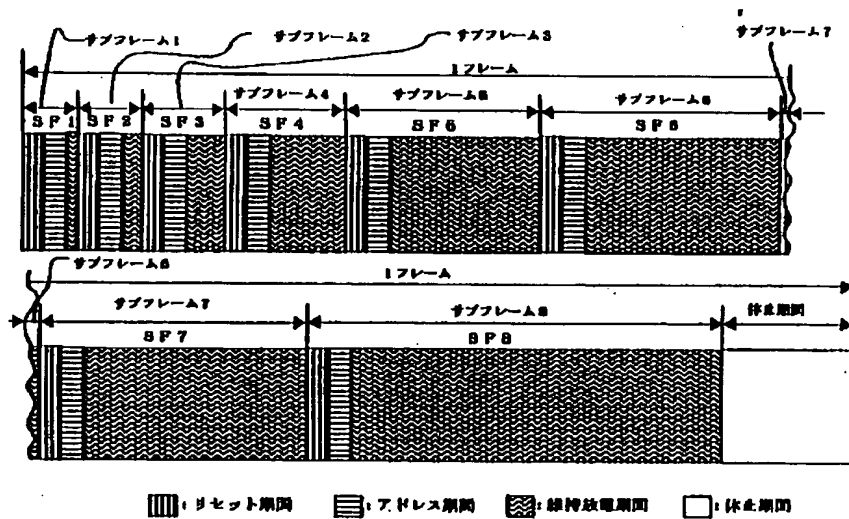
【図12】



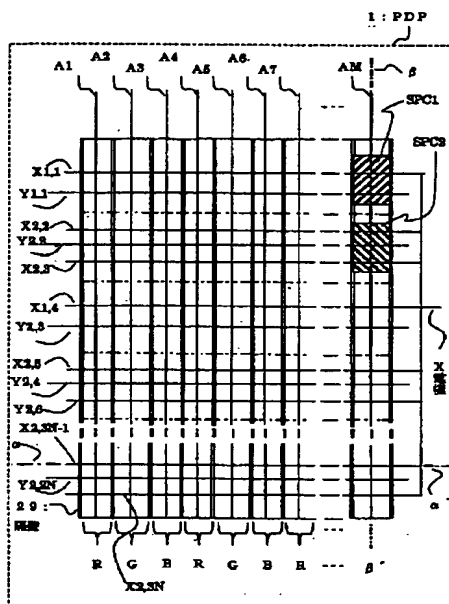
【図13】



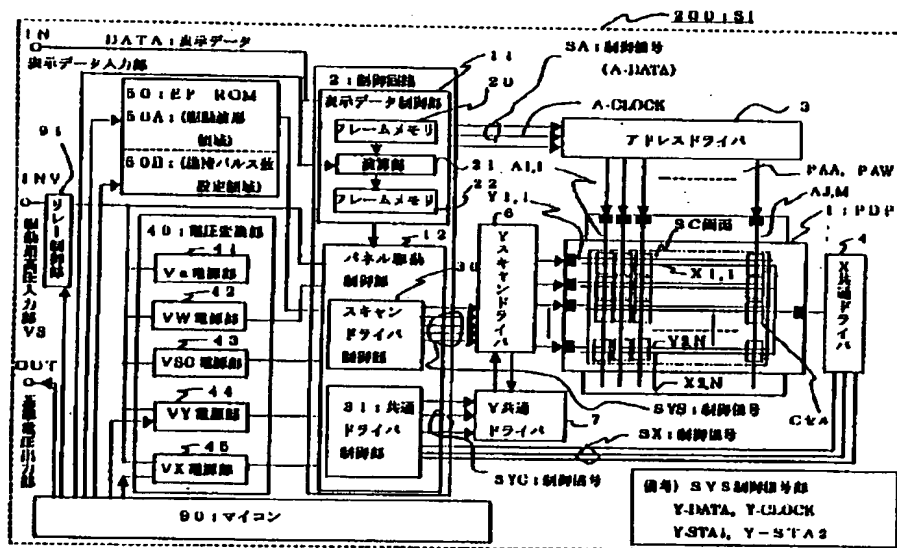
【図14】



【図16】



【図17】



フロントページの続き

(51)Int.Cl.⁷

H04N 5/66

識別記号

101

FI

G09G 3/28

テーマコード* (参考)

K

B